

# 4 創新研發與 綠色產品

4.1 專業 IC 設計服務與創新技術

4.2 創新研發與品質管理

4.3 專利及矽智財

4.4 綠色產品設計服務

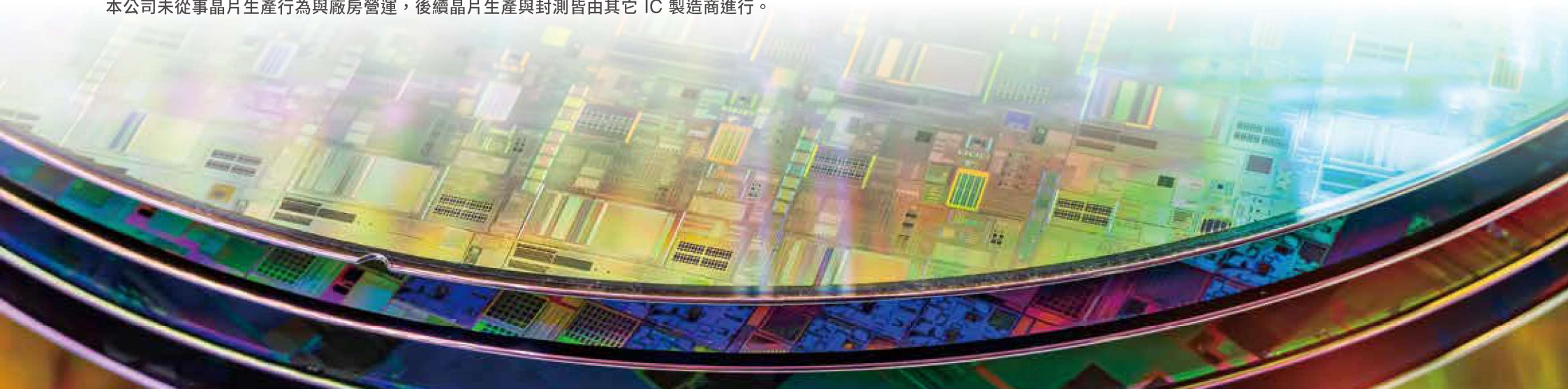




## 關鍵成果與策略

| 策略方針      | 承諾                                                                                                                    | KPI                                                                                                                 | 2024 年目標與績效                                                                                                                                                                                                                                 |
|-----------|-----------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 研發與創新     | 成為世界領先採用先進技術的客製化 IC 解決方案提供者，並隨時掌握目標市場成長的重要機會及關注永續議題，攜手世界級客戶及合作夥伴共同達到永續目標                                              | <ul style="list-style-type: none"> <li>• 逐年提高專利申請件數</li> </ul>                                                      | <ul style="list-style-type: none"> <li>• 各國專利獲准率高達 96%</li> <li>• 近 3 年各國專利數量達 154 件</li> <li>• 2024 年 UCle 32G IP 以卓越的開發技術與規格，榮獲「亞洲金選獎」(EE Awards Asia) Best IP/Processor of the Year</li> </ul>                                           |
| 品質與客戶關係管理 | <p>透過 PDCA 循環式品質管理精神，確保品質管理系統有效執行，持續改進企業績效，努力朝向成為世界首屈一指的 IP 及 ASIC 供應商</p> <p>在客戶關係與溝通的策略上，透過各種雙向溝通方式，以期建立無縫的合作關係</p> | <ul style="list-style-type: none"> <li>• 維持 ISO 品質管理系統驗證</li> <li>• 法規遵循維持 0 裁罰紀錄</li> <li>• 客戶滿意度高於 90%</li> </ul> | <ul style="list-style-type: none"> <li>• 完成 ISO 9001 管理系統換證，持續維持 IECQ QC 080000 管理系統驗證</li> <li>• 獲得國際知名客戶 Sony 綠色產品認證，成為 Sony 供應商夥伴</li> <li>• 2024 年，創意電子產品之提供與使用未有違反相關法規之重大裁罰紀錄，亦無因有害物質而造成客訴或退貨情形</li> <li>• 2024 年客戶滿意度達 95%</li> </ul> |

創意電子為半導體產業上游廠商，營運模式主要為依據客戶的需求，提供客戶完整的先進 IC 客製化服務；透過矽智財 (IP) 對於晶片需具備之單元、功能以及程式碼設計成電路圖。本公司未從事晶片生產行為與廠房營運，後續晶片生產與封測皆由其它 IC 製造商進行。



## 4.1 專業 IC 設計服務與創新技術

創意電子提供專業的 IC 設計公司，其中特別專注於特殊應用積體電路（ASIC）產品之設計。為持續以先進客製化服務（Advanced ASIC Services）滿足產品從概念到成品的各階段需求，創意電子與台積電合作推動 CoWoS、InFO 和 3D IC 等高效能、低功耗技術，並透過結合 IP 解決方案，極導入人工智慧於電子設計自動化（EDA）優化設計流程等方式，並與學界合作推動 AI 技術在設計服務中的應用，強化市場競爭力。本公司透過以下三大服務模式與能力，提供客戶於產品實現最佳化方案：

| 委託設計<br>(Non-Recurring Engineering, NRE)                                              | 多客戶晶圓驗證計畫<br>(Multiple-Project Wafer, MPW)                                                            | 矽智財<br>(Intellectual Property, IP)                                                                        |
|---------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------|
| 提供設計產品時所需的電路設計元件資料庫及各種矽智財，及製作產品光罩組的電路圖，並委託代工廠生產光罩、晶圓、切割與封裝，再由本公司工程人員做產品測試，之後交由客戶試產樣品。 | 提供低成本且具時效性的晶片驗證服務，將不同客戶之設計整合起來，分攤同一套光罩及同一批晶圓（Engineer Run）之製造成本，使設計工程師在大量投片前就能以先進製程技術達到低成本且快速的試產驗證目的。 | 經過設計、驗證，具備可重複使用且特定功能的積體電路設計。隨著積體電路製造技術的進步，多功能晶片甚至 SoC 已成為 IC 設計的主流，可重覆使用（Reusable）的 IP 可減少客戶重複設計與設計資源的投入。 |

### 4.1.1 提供先進特殊 IC 設計服務（Advanced ASIC Services）

半導體產業供應鏈依上、中、下游可區分為設計、製造、封裝、測試等 4 大族群。其中對上游晶片設計族群來說，晶片的設計流程（Design flow）不只是純粹的硬體規格設計，更需要軟體設計的協助，高自動化整合後，才能在極細微的奈米尺寸上，設計出高效率、低耗能的晶片。創意電子提供上游的 IC 設計服務，面對半導體產業的快速變化與客戶多變的需求，本公司 Advanced ASIC Services 的架構，可協助客戶彈性地選擇在「產品概念、規格制定、開發、驗證、生產到最終成品」等任一階段進入半導體設計的產業鏈。具體而言，創意電子透過右列 4 大核心能力，提供先進特殊 IC 設計服務：

| IP Solution                               | Chip Implementation                                                           | ASIC Manufacturing                                                                                                                                        | 先進封裝技術                                                                                                               |
|-------------------------------------------|-------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------|
| 幫助客戶縮減設計時間成本並減少 SoC 開發風險，以滿足客戶的客製化 IC 需求。 | 本公司與台積電緊密配合，因此在先進製程上的資訊掌握度極高，能透過先進製程技術知識，縮短客戶進入先進製程的時間，協助客戶快速量產、提升良率，強化市場競爭力。 | 創意電子積極與世界級晶圓廠、封裝與測試業者以及其他支援供應商合作，為客戶提供專業與高品質製造服務，不僅縮短產品上市時間（Time-to-market）與進入量產時間（Time-to-volume），使進入障礙與技術風險降到最低，更確保高品質、高良率及準時交貨，進而讓客戶的寶貴資源能夠精準投入到核心能力上。 | 創意電子布局先進製程設計平台方案與先進封裝技術，與台積電合作，完成 CoWoS、InFO 以及 3D IC 的設計與驗證，達到高效能、低延遲與低功耗的需求，並持續於開發先進封裝平台所需之 HBM、GLink 及 UCle 等 IP。 |



#### 4.1.2 人工智慧 (AI) 技術應用於 IP 設計以及設計服務

近年來人工智慧快速發展，已成為企業研發時不可或缺的技术工具，若妥善利用將能增進效率及減少資源浪費。創意電子 IP 設計團隊已優先導入應用 AI 技術進行蒙特卡羅模擬，可節省所需的運算資源並縮短 50% 模擬時間，將有限的資源投入在更多的設計專案上。此外，創意電子已完成評估應用 AI 技術的 design migration 解決方案，它可以為設計人員優化電路以獲得更好的結果，並縮短 30% 設計週期。預計將在明年 (2025 年) 第二季正式導入。

創意電子於 2020 年引進工程變更 (Engineering change orders, ECO) 工具，讓漏電 (Leakage) 最佳化時程節省 15-30% 時間，並於 2023 年引進 AI 自動佈局繞線技術及工具，在功耗效率方面亦可節省 2~8%。2024 年，我們持續和先進電子設計自動化 (Electronic design automation, EDA) 公司合作，引進人工智慧相關 EDA 技術，應用於自動 floorplan 的最佳化，初步結果可節省 3% 面積，也可達到更低功耗的目的。創意電子除了導入 EDA 公司的 AI 相關技術外，每年更持續和大學合作，藉由和學界的合作，建立相關 AI 及機器學習在 2D/3D EDA 設計流程上的技術，期望未來將相關技術整合到設計服務流程，強化設計的品質、效率及最佳化，並將其應用到客戶產品上。

#### 4.1.3 符合功能安全性實作技術應用於車用設計服務

2024 年起，創意電子引進符合功能安全性 (Function safety) 實作技術，並建立相關設計實作服務流程，包含 (1). 系統級的邏輯及記憶體自我測試讓車子可自我檢測重要零件、(2). 使用 USF 或 SSF Function safety format aware 的實作流程，這些方式可讓實作具備雙核心或 3 倍暫存器決策及實體驗證達到降低失敗率，這些技術都可使客戶車用產品安全性提升，我們將持續關注並開發新技術讓未來車用產品更安全便利。

### 4.2 創新研發與品質管理

創意電子使用的 CoWoS 和 InFO 小晶片架構已蔚為基礎設施產品的主流，憑藉著與重要夥伴的緊密合作，創意電子的研發團隊在高頻寬記憶體 (High Bandwidth Memory, HBM) 和超高速介面晶片互聯 (GUC multi-die interLink, GLink) IP 的開發，及 CoWoS 產品的大量製造上，擁有多年的豐富經驗。為支持客戶在 2.5D / 3D 高階封裝領域取得競爭優勢，同時協助其穩坐市場的領導地位，創意電子持續堅定地展現了我們提供最具競爭力之 2.5D 全方位解決方案的長期承諾，包括業界首個通過矽驗證的 HBM3 實體層與控制器、GLink 2.5D 與 3D 小晶片介面、電氣和熱模擬、封裝設計、DFT 與生產測試、CoWoS 與 InFO 製造專業能力等。



## 4.2.1 2024 年成功開發技術及創新成就

本公司除了持續開發高階製程（5/4/3/2 奈米等）之矽智財包括超高速介面晶片互聯 IP UCle、GLink-2.5D/3D、HBM2/2E/3/3E/4 Controller and PHY 等元件與高速 ADC / DAC 外，現有關鍵基礎元件如電源管理解決方案 (Power Management Solution)、時脈產生器 (Clock Generator) 等也持續銜接至更高階製程。本公司也已經成立研發團隊開發自有記憶體 IP (TCAM, SRAM)，客製化標準單元 (Standard cell)，及豐富的自有 IP 與 Library 資料庫，來提供客戶更完整的解決方案。

為因應未來的成長，本公司將持續投入研發資源優化 5/4/3/2 奈米設計流程，並且繼續發展超高速介面晶片互聯 IP GUCle, GLink, GLink 3D, HBM PHY & Controller, High-speed ADC 與 TCAM 等。

### ■ 2024 年創新成就一覽表

|     |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 第一季 | <ul style="list-style-type: none"> <li>結合台積電 InFO / CoWoS 封裝技術，將第三代 5 奈米晶片互聯 IP GLink 2.3 成功移植至 3 奈米，可提供客戶完整的多晶片互聯解決方案。</li> <li>6 奈米高效能運算晶片完成設計定案，於 2024 年進入量產。</li> <li>領先業界，於 2024 年完成 HBM3E (PHY &amp; Controller) IP 搭配 DRAM 廠商之 12Hi HBM3 與 HBM3E 矽驗證。</li> <li>3 奈米 UCle / 32G 晶片互聯 IP 於 2023 年 11 月完成設計定案，並將於 2025 年第一季完成矽驗證，可提供客戶符合 UCle 相互運作標準，完整的多晶片互聯解決方案。</li> <li>採用台積電先進製程，整合客戶為大規模雲端資料中心設計之 AI / HPC 晶片與 2.5D CoWoS 封裝技術，已陸續協助多個客戶進入量產。其中 5 奈米 AI 客戶採用 HBM3E 記憶體已於 2024 年進入量產。</li> <li>3 奈米的 HBM3E 9.4G (PHY &amp; Controller) IP 設計定案，支援台積電 CoWoS-S 與 CoWoS-R 封裝，於 2024 第一季完成矽驗證，並已獲得數個客戶採用。</li> <li>結合台積電 3DFabric 晶片堆疊技術，推出 6 奈米與 5 奈米之 GLink-3D 晶片互聯 IP，並完成矽驗證。</li> </ul> |
|     | <b>第二季</b> <ul style="list-style-type: none"> <li>完成 3 奈米增強版 的設計流程開發。</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
|     | <b>第三季</b> <ul style="list-style-type: none"> <li>5 奈米長距離通訊光通訊晶片完成設計定案，並於 2024 年 Q3 流片。</li> <li>3 奈米長距離通訊光通訊晶片開始完成設計定案，預計 2025 年 Q4 流片。</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |
|     | <b>第四季</b> <ul style="list-style-type: none"> <li>2 奈米混和類比訊號 PLL、THM 與 Process Monitor IP 設計定案，將於 2025 年第二季完成矽驗證。</li> <li>2 奈米設計流程開發並成功完成基礎元件設計定案。</li> <li>採用台積電系統級晶圓開發 (System on Wafer, SoW) 技術，協助客戶完成機械測試載具 (mechanical test vehicle) 設計及流片。</li> <li>5 奈米邊緣運算等級人工智慧晶片 (Edge AI)，與 16 奈米虛擬實境晶片 (Metaverse) 進階版完成 Spec-in 設計定案。</li> </ul>                                                                                                                                                                                                                                                                                                                                                   |
|     |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
|     |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |

## 4.2.2 產品品質與競爭力

在競爭激烈的市場與趨勢中，創意電子鼓勵所有員工，秉持創新與持續改善的精神，提供客戶高品質設計服務、矽智財及具競爭力的產品。並致力傾聽客戶的聲音，建立與客戶間可信且互利的夥伴關係。透過 PDCA 循環式品質管理精神，確保品質管理系統有效執行，持續改進企業績效，努力朝向成為世界首屈一指的 IP 及 ASIC 供應商。

創意電子致力提供卓越的 ASIC IC 設計服務，本公司的品質暨可靠性組織持續精進 ISO 品質管理系統，每年持續維持 ISO 9001 管理系統驗證，找出全面品質管理的改善機會，以確保客戶全面滿意，2024 年完成換證作業。此外，我們獲得國際知名客戶 Sony 綠色產品認證，成為 Sony 供應商夥伴。並於 2025 年 2 月也獲得國際知名客戶 SK hynix 認可獲得綠色產品證書。

創意電子深耕綠色產品，從導入綠色設計開始，透過不斷的技术創新，本公司能夠滿足客戶對有害物質的嚴格要求，不斷努力削減及規範禁用有害物質。每年持續維持 IECQ QC 080000 管理系統認證，並由第三方公正機構進行驗證，確保綠色產品管理的有效性，我們的不懈努力得到公正評價並獲得證書，最新的證書有效期限至 2025 年 8 月。創意電子綠色 IC 符合歐盟 RoHS 指令 (EU RoHS Directive) 及歐盟化學品註冊、評估、許可和限制法案 (EU REACH) 之要求，不使用禁用物質。依據客戶特殊要求，創意電子於 2024 年受客戶委託進行符合性調查，包含：IPC 1752、chemSHERPA 材料宣告聲明等國際規定，並提供調查結果予客戶。此外，為確保綠色 IC 生產流程符合法規要求，我們對指定供應商進行季度業務檢視 (QBR) 程序，包含有害物質符合性評鑑項目，並定期於每季評估執行結果。

### ■ 管理系統取得驗證一覽



創意電子通過 ISO 9001 管理系統驗證



創意電子通過 IECQ QC 080000 管理系統驗證



創意電子獲得國際知名客戶 Sony 綠色產品認證，成為 Sony 供應商夥伴。



創意電子通過 ISO 13485 醫療器材品質管理系統驗證



創意電子綠色夥伴認證



### 4.2.3 客戶服務與滿意度

除了內部維持管理系統驗證方式，確保創意提供高品質的 IC 設計服務。另外也落實客戶關係管理，透過定期與不定期的會議與拜訪，及每季、每月績效檢討或稽核等方式，以期建立無縫的合作關係，在雙方短、中、長期發展目標與社會責任的規畫上，取得一致且共同合作的綜效。為了就近服務客戶，於臺灣總部、中國、日本、韓國、美國、歐洲等 6 個區域設有客服專責辦公室，並設置專責服務窗口，負責雙方對於環境管理、社會責任、有害物質管制，及衝突礦產等規畫執行上的支援，並符合 ISO 9001 及接受第三方驗證，不僅即時提供必要且充分的資訊，以滿足下游、終端客戶或公部門之要求，並且配合客戶企業社會責任計畫實施必要的活動、調查、確認、稽核，及相關資料收集。

為了確認客戶對創意電子服務品質的滿意程度，創意電子在每年第一季或專案完成時，執行客戶滿意度調查，客戶可透過評分、意見回饋抑或與本公司競爭者的比較等方式，提供對創意電子服務品質與成效的滿意度；創意電子客戶滿意度專責團隊除了對客戶具體回覆、追蹤相關權責部門的改善進度外，並透過精確的數據分析，找出背後問題，彙整報告予高階經營者，作為中、長期營運計畫的方針參考。

迄 2024 年止，近 5 年客戶滿意度調查均獲得 80% 以上問卷回覆率，對創意電子滿意度超過「滿意」等級及以上者，均超過 90% 以上。顯示創意電子在技術演進與商業越趨競爭下仍可持續提升客戶服務效能以獲致客戶滿意。在 2024 年之客戶滿意度調查中，大部分客戶留下了如：「快速反應」、「嚴謹可靠的設計流程」、「積極面對問題」、「可靠的供應鏈保障體系」、「質量穩定產能保證」、「專業的技術團隊」及「可靠的技術和服務」等客戶高度評價，給予創意電子最大的肯定。

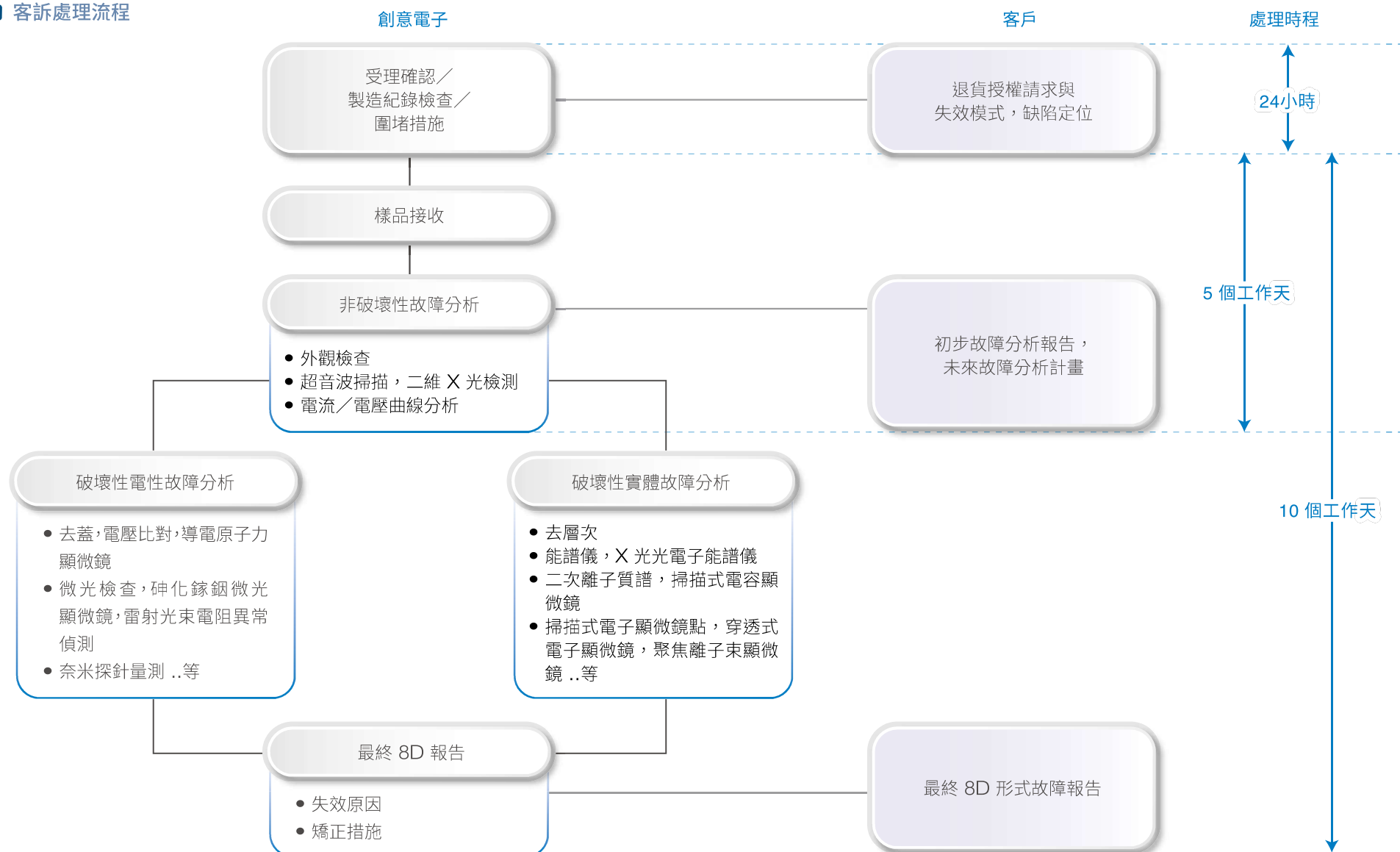
針對客訴，我們制定「客戶抱怨管理程序」，要求相關部門在收到客訴後 24 小時內回覆客戶，並在 5 個工作天內提供初步分析報告，2024 年客訴的初步分析報告回覆準時率達 90%。

#### ■ 客戶滿意度調查統計

| 年度   | 客戶平均滿意度 |
|------|---------|
| 2022 | 95%     |
| 2023 | 97%     |
| 2024 | 95%     |

CUSTOMER SATISFACTION

■ 客訴處理流程

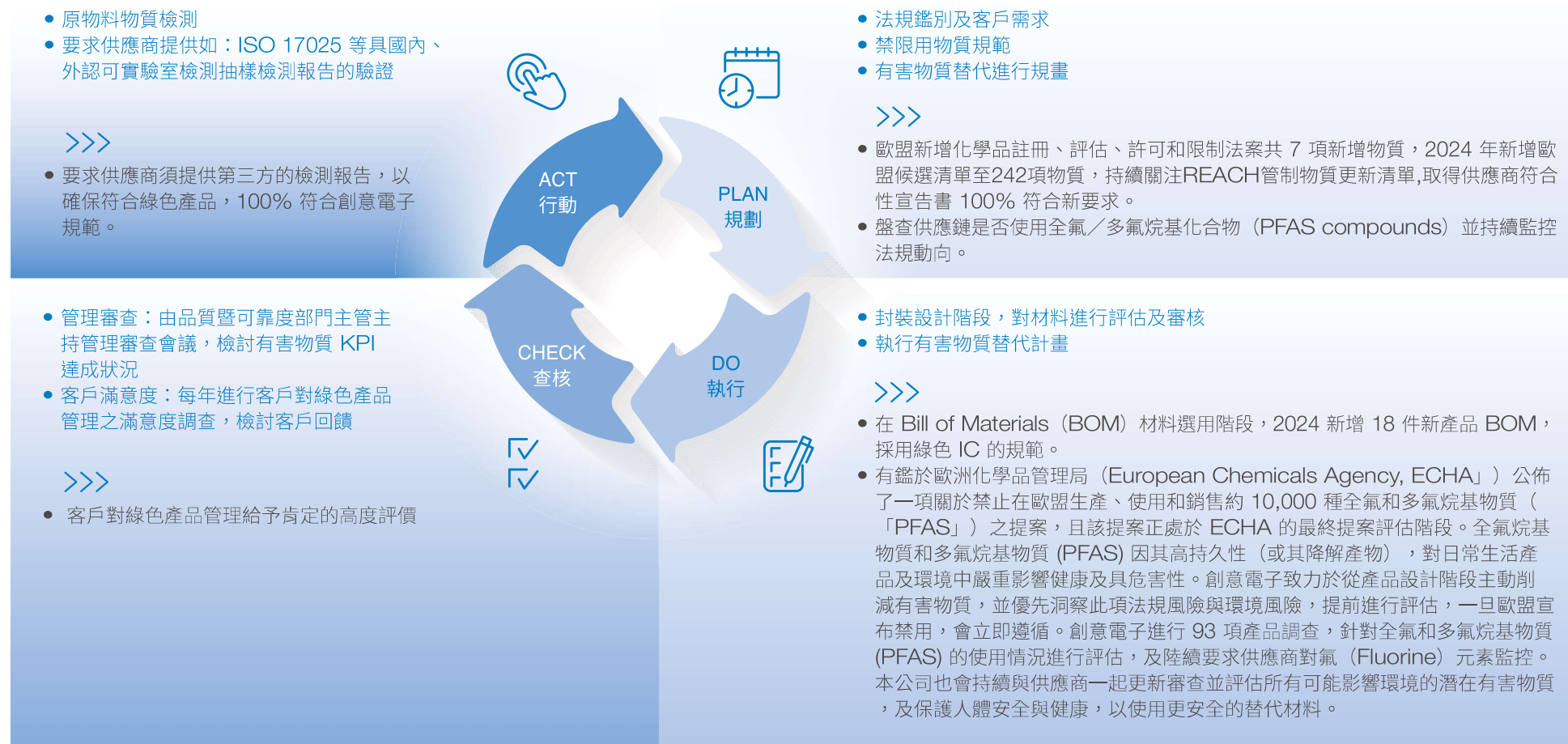




## 4.2.4 綠色產品管理模式及作為

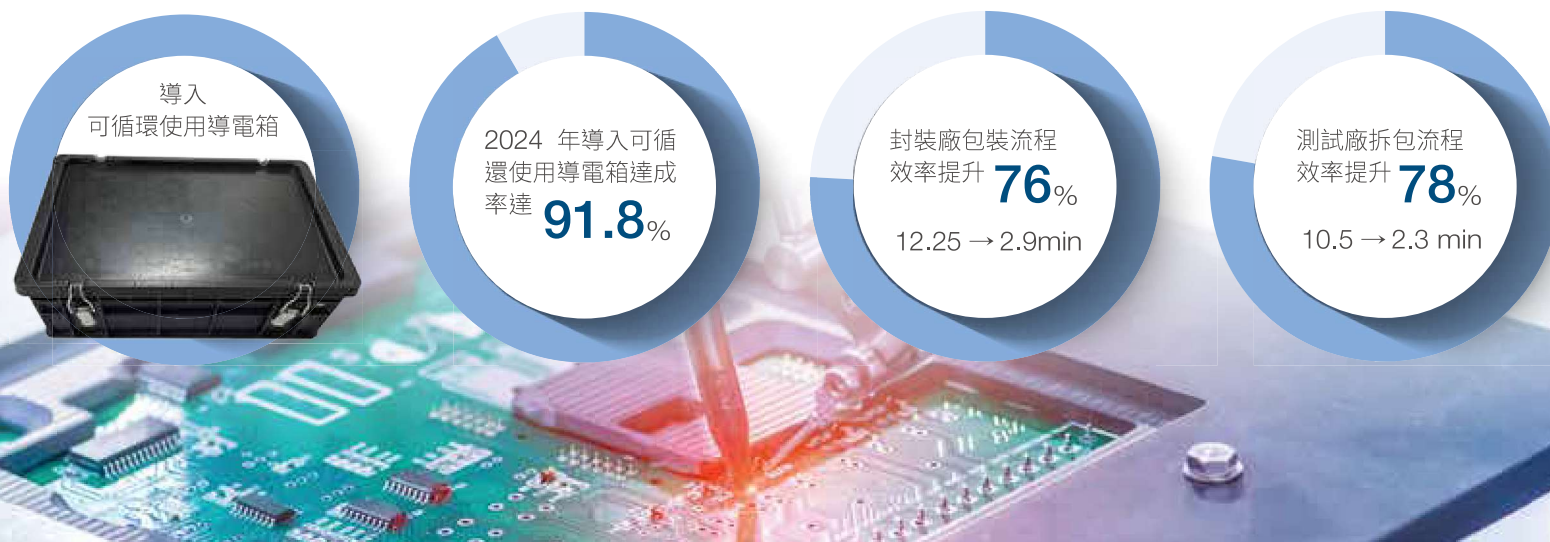
創意電子在綠色物質管理方面實施 PDCA 管理流程，以應對法規風險。藉由調查供應商，提出改善對策，並與供應鏈攜手合作減少有害物質的使用。這些努力旨在提前因應國際法規趨勢，提高創意電子產品的競爭力。為確保綠色 IC 生產流程符合法規要求，

我們對 7 間指定供應商進行季度業務檢視 (QBR) 程序，並定期於每季評估執行結果。2024 年，創意電子 GUC 產品 100% 符合客戶及法令法規要求，無發生違規事件，設計產品材料清單也均依客戶綠色產品之特殊要求。



## 4.2.5 產品生命週期之有害物質管理及作為

| 措施 | 綠色 IC 設計及要求                                                                                                                                                                                                                        | 綠色材料選定                                                                                                                                       | 綠色 IC 製造                                                                                                   | 綠色包裝使用                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |
|----|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 說明 | <p>創意電子因應客戶對綠色材料的要求，依循綠色採購程序，選取符合國際法規包括：RoHS、歐盟化學政策（REACH）的材料，2024 年新增歐盟候選清單至 242 項物質，持續關注 REACH 管制物質更新清單。以及臭氧破壞物質（Ozone Depleting Substances, ODS），及美國 TSCA 持久性、生物蓄積性和毒性物質（PBT）物質。為確保產品的環保性，所有產品都使用無鹵材料，也積極尋求替代材料，避免原物料含有害物質。</p> | <p>在物料表（Bill of Materials, BOM）材料選用階段，創意電子積極進行風險評估，2024 共新增 18 件新產品 BOM，採用綠色 IC 的規範。同時對產品材料設定限制，排除有害物質，以防範所有生產過程對環境可能產生的衝擊，如全球暖化和臭氧層破壞等。</p> | <p>創意電子強化有害物質管理機制，要求供應商對有害物質進行原材料監控，也同步要求供應商須提供第三方的檢測報告，以確保符合綠色產品的精神及國際法規，2024 年客戶委託調查都能提供給客戶符合性調查之結果。</p> | <p>產品包裝材料依據包裝指令（94 / 62 / EC）限制，以下是創意電子符合國際法規及推動循環經濟的具體作為：</p> <ul style="list-style-type: none"> <li>綠色 IC 生產對產品包材限制有害物質之要求：2023 年新增法國 France Decree 2020-105 法案，對油墨包材管制礦物油物質。礦物油飽和碳氫化合物（MOSH）和芳香烴類礦物油（MOAH）被證實具有致癌性和生物累積性。為了遵守國際法規的趨勢並維護客戶健康，我們嚴格盤查、把關 14 家供應商的符合程度。2024 年經創意電子輔導後供應商已 100% 符合要求。</li> <li>導入可循環使用導電箱：考量包裝材料丟棄所產生的環境影響，創意電子採用可循環使用的導電箱，取代一次性使用的紙箱，以落實廢棄物減量（Reduce），及回收導電箱回廠區進行再利用（Reuse），與回收再利用（Recycle），務求將環境衝擊降至最低。另產品從封裝廠運送至測試廠的包裝程序也因此簡化，提升包裝、拆包流程效率，包括節省大箱之內盒包裝程序，亦可減少作業時間浪費，2024 年導入可循環使用導電箱達成率達 91.8%。</li> </ul> |

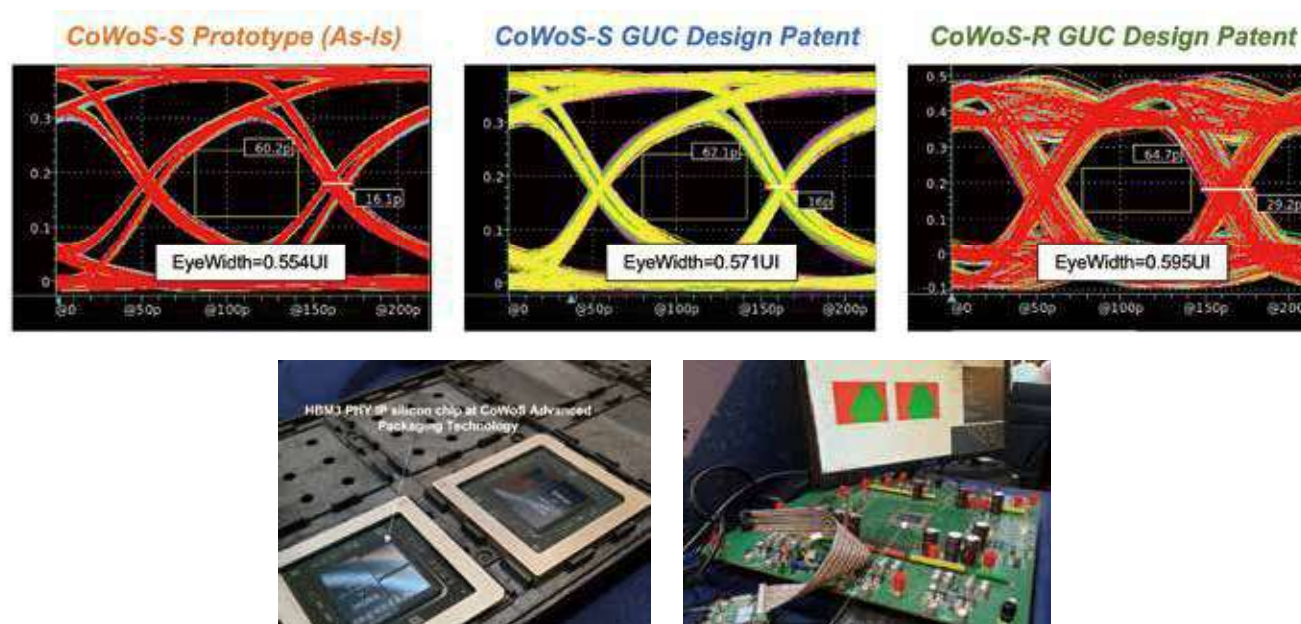






|                                                        | 矽中介製程原始設計<br>CoWoS-S Prototype<br>(AS-is) | 具線路設計之矽中介製程<br>Design Patent @CoWoS-S<br>(To-Be) | 有機材料中介製程<br>Design Patent @CoWoS-R<br>(This-Work) |
|--------------------------------------------------------|-------------------------------------------|--------------------------------------------------|---------------------------------------------------|
| 寄生電容量 Parasitic Capacitance                            | 1.92pF                                    | 1.49pF                                           | 0.85pF                                            |
| 能量效率 Power Energy (pJ/bit)                             | 0.9                                       | 0.87                                             | 0.83                                              |
| 信號眼寬 EyeWidth (UI)                                     | 0.544                                     | 0.571                                            | 0.595                                             |
| 功耗 Power Consumption (mW)                              | 8435.2                                    | 8194.4                                           | 7836                                              |
| 溫室氣體排放量 Greenhouse Gas Emissions (kgCO <sub>2</sub> e) | 36.58                                     | 35.46                                            | 33.91                                             |
| 節能 Energy Saving                                       | -                                         | 3.10%                                            | 7.30%                                             |

■ 前述三種主要先進封裝製程之高速傳輸信號眼圖



## 4.3 專利及矽智財

創意電子提供全方位的 ASIC（特殊應用晶片）設計服務，為客戶之終端應用產品提供設計與量產服務。在 ASIC 設計服務方面，包括：系統單晶片開發與驗證、先進設計流程、低功耗解決方案、先進可測試設計、旗艦型晶片設計方案等服務；而在 ASIC 量產服務方面，包括：先進封裝技術、測試、產品工程、品質與可靠度、供應鏈管理等服務。此外，創意電子更具備自行開發矽智財（IP）的能力，能夠扮演矽智財（IP）供應商之角色。為此，本公司致力於創新研發各種具競爭力之矽智財（IP），包括：高頻寬記憶體（HBM）IP、晶片互聯（GLink-2.5D／3D）IP、混合訊號前端（Mixed-Signal Front-End）IP、嵌入式記憶體（Embedded Memory）IP 等。

為了確保創新研發之成果獲得保護，創意電子針對 ASIC 設計與量產服務階段所產生具競爭力的技術方案提出專利申請，同時對自有矽智財（IP）更是積極地採取專利布局。透過專利權的保護，本公司得以確保研發成果所帶來最大的收益與競爭優勢，同時提供客戶 ASIC 產品更完善的保障。有鑑於專利權的重要性，本公司自 2016 年起，每年提供工程師修習智財權相關實體課程，強化對於專利權的認知，促進專利提案的動能。創意電子自成立以來獲得各國專利數量達 560 件，近年來更積極布局諸如 CoWoS、HBM、G-Link 等相關之專利，以保持本公司的領先地位和競爭優勢。

### ■ 各國獲證專利數

| 國別 | 專利數 |
|----|-----|
| 臺灣 | 219 |
| 美國 | 208 |
| 中國 | 117 |
| 日本 | 16  |

### 智慧財產權管理

為了鼓勵發明創新、維持競爭優勢及保護研發成果，創意電子於 2016 年制定《智慧財產權管理辦法》、2000 年起推動智慧財產權相關管理計畫，並制定《專利提案申請程序》作為專利申請、專利維護、專利運用、專利獎金／獎勵等相關事務之依循。為求審慎評估本公司之專利提案，本公司更設立有「專利委員會」之內部專利審查機制。委員會成員包括本公司相關單位之高階主管及外部特聘之 IC 設計領域的重量級教授。借助委員會之內部審議與意見，得以讓發明提案之技術內容更為完整，有效把關專利品質，提高專利獲准機率。近 3 年來，本公司各國專利申請案共 167 件，有 55 件完成審查，其中 53 件獲准，2 件放棄，其餘尚未完成審查，足見本公司於各國專利獲准率高達 96%（53/55=96%）。另外，針對不適合公開且具技術價值之專利提案，專利委員會得決議改以營業祕密方式保護，防止本公司機密技術外流。

此外，為了有效提升管理效能，創意電子於 2015 年引進「專利管理資訊系統」作為專利提案、申請、維護、獎金發放、技術分類及產品應用等資訊管理平台。藉由該資訊系統之幫助，可提升機密專利資訊之保護層級，同時提高人員之工作效率，降低專利申請事務中人為錯誤之發生率。

另外，創意電子亦定期進行專利盤點作業，以檢視專利之應用情形及與相關產品之關聯程度，作為專利價值之評估。同時，為了強化研發人員對於專利權之認知及尊重，避免研發成果誤踩紅線，本公司強制要求新進研發人員需修習專利基本課程。除專利基本課程之外，本公司亦定期邀請專利業界講師提供研發人員智慧財產權相關之實務課程，包括：專利檢索、侵權鑑定、迴避設計等進階課程，截至 2024 年，上課人數已有 235 位。

為持續維持業界技術之領導地位，創意電子採取結合營運發展重點目標與保護智慧財產權之策略，針對特定開發之矽智財（IP）與先進封裝技術（APT），例如：CoWoS、HBM 與 G-Link，由專利工程師會同相關研發人員一起檢視研發、設計過程及成果，以評估專利申請之可行性後，針對具有專利布局價值之個案積極進行專利申請，並持續追蹤相關提案進度。創意電子針對特定開發之矽智財（IP）已陸續進行專利布局，除了強化本公司在特定領域之競爭優勢，並同時落實「矽智財（IP）專案／IC 產品專利化」，以達成「專利保護矽智財（IP）專案／IC 產品」之目標。同時，本公司亦透過定期的專利技術盤點，作為專利智財與矽智財（IP）之關聯性管理以及專利智財之價值評估依據。

為讓經營高層充分掌握本公司智慧財產管理計畫執行情形，法務主管每年至少 1 次向董事會報告該事務。

## 4.4 綠色產品設計服務

在流片過程中，創意電子會生成晶片的能耗數據，同時提供能耗模型，使設計工程師能夠在晶片設計流程中進行更多的能耗優化，有效控制晶片整體的能源消耗。此外，我們致力在封裝設計上提供客戶最佳功耗完整解決方案。

### 矽智財 (IP) 方面

創意電子除了持續開發高階製程 5/4/3/2 奈米等矽智財；包括超高速介面晶片互聯 IP GUCle、GLink、GLink 3D、HBM2E / 3 Controller and PHY 與 高 速 ADC / DAC 外，現有關鍵基礎元件，如 Power Management Solution、Clock Generator 等也持續銜接至更高階製程。

#### 高頻寬記憶體 IP (HBM3 IP)

創意電子最新一代 8.6G 高頻寬記憶體 (HBM3)，此 IP 已於 2024 年第二季完成矽驗證，並已獲得多位客戶採用。最新的 3 奈米產品相較於前一代，功耗可減少約 11.3 %，協助開發功能與節能兼具的產品。創意電子 HBM3 IP 以卓越的開發技術與規格，於 2023 年，榮獲 EE Awards Asia 亞洲金選獎年度最佳 IP。

#### 超高速介面晶片互聯 IP (GLink 2.5D)

創意電子自 2020 年起結合台積電 InFO 封裝技術，推出高效能 GLink 系列晶片互聯 IP，持續提升產品效能與能源效率。2023 年，GLink 2.3 IP 完成 3 奈米製程設計定案，並已於 2024 年完成驗證。相較於業界同類型產品 UCle IP 規格，新一代 GLink 2.3 IP 產品功耗可大幅減少 28%，有效減少客戶產品能源消耗，展現技術領先地位。

#### 通用晶片互聯 IP (UCle)

2022 年初，創意電子發布目的在於統一標準封裝和高級封裝的晶粒到晶粒接口，促進多晶粒集成的生態系統協作之 UCle 1.0，並持續活用 GLink-2.5D 的經驗和專業知識進行研發次世代 GUCle，也就是最高規格的 UCle (每通道 32Gbps)。3 奈米產品已於 2023 年第四季底定案，預計於 2025 年第一季完成驗證報告。5 奈米低耗能產品於 2024 年第四季完成設計定案，並將速度提升至 40Gbps，預計於 2025 年第四季完成驗證報告。

與 GLink-2.5D 相比，本公司的 UCle 32G IP 預期將大幅提升 1 倍以上的單位面寬傳輸資料效率 (Beachfront efficiency)。並且 UCle 32G IP 以卓越的開發技術與規格，榮獲 2024 年 EE Awards Asia 亞洲金選獎 Best IP/Processor of the Year 的肯定，為創意電子的技術實力和創新能力注入強大的動力。

#### GLink-3D 晶片堆疊介面 IP

3D 封裝屬於先進封裝技術，用以提升電晶體密度的解決方案。創意電子領先業界，與台積電攜手開發 GLink-3D 1.0 產品，實現 5 奈米與 6 奈米晶片 3D SoIC 堆疊，已於 2024 年完成驗證報告。下一代產品 GLink-3D 2.0 將精進產品規格，預計於 2025 年中完成設計定案，將實現 5 奈米與 3 奈米晶片以更小的 bond pitch 堆疊，提升訊號頻寬密度約 3 倍，並大幅降低 80% 功耗為目標。



## 單晶片 (SoC) 方面

隨著科技進入網際網路、無線通訊、智慧手機、物聯網、車用電子，及人工智慧高性能運算時代，整合更多功能的系統單晶片 (SoC) 已成為積體電路設計 (IC) 的主流趨勢。然而，高度整合所帶來的複雜設計，及先進製程所引起的設計時程、成本和規格等挑戰是不可避免的。

為協助客戶完成市場目標，SoCRD 部門不斷努力提升設計整合和驗證技術，以縮短計畫執行時程，並實現功耗、效能和成本的最佳解決方案。

### 系統單晶片／矽智財自動整合流程 (SoC / IP Constructor, unicoRn)

2021 年起，創意電子 SoCRD 部門已成功完成包括 16 奈米自駕車晶片 (Automotive)、12 奈米 5G 網路晶片 (Networking)、2022 年完成 7 奈米虛擬實境晶片 (Metaverse) 等多項晶片設計。2023 年完成 5 奈米資料中心等級人工智慧晶片 (Datacenter AI) 與 16 奈米自駕車晶片 (Automotive) 測試量產版本。2024 年，SOC 部門完成 5 奈米邊緣運算等級人工智慧晶片 (Edge AI)，與 16 奈米虛擬實境晶片 (Metaverse) 進階版。

- 多年來，創意電子 SoCRD 部門憑藉：
  1. 研發能量提升和領先業界的設計整合驗證流程，有效縮短 30~50% 前置作業時程。
  2. 設計整合初期進行關鍵的除錯項目，節省 30~50% 用於後期大量的功能模擬和驗證除錯回歸的資源。
  3. 依製程演進完成晶片規格之最佳化，提升 20~30% 效能、降低 15~20% 功耗及縮減 20~30% 晶片面積。
- 具體系統單晶片／矽智財自動整合流程如下：
  - Step 1. 關鍵子系統 (處理器、高速介面、記憶體) 整合平台 (Subsystem)
  - Step 2. 硬體加速器為基礎的先進驗證流程 (Emulation)
  - Step 3. 低功耗設計驗證及最佳化 (Power profiling)
  - Step 4. 軟體和硬體協同驗證流程 (Virtual / Hybrid platform)

創意電子在先進設計技術流程上不斷精進，於 2024 年完成 N3P 1.0 及 N2 v0.9 版設計流程，協助客戶可快速導入更先進高效率的製程，在 EDA 軟體及設計流程改善及相同的設計驗證下，整體設計流程可達到耗能及效能最佳化，N2 v0.9 相較於 N3E，可更進一步節省功耗，達到 23.08% 的節能。我們將持續開發 N2P 及未來 A16 奈米設計流程，協助本公司 IP 使用更低功耗製程，增強競爭力，並應用於客戶專案，持續協助客戶往綠色產品的途徑前進。

## 設計服務方面

### ■ 製程比較：N3E v1.1 與 N2 v0.9 之功率比較

| 製程－元件                    | N3E v110 – M143 | N3P V100 – M143 | N2 H130, v0.9 |
|--------------------------|-----------------|-----------------|---------------|
| 功率 (uW/MHz)              | 10.40           | 9.60            | 8.00          |
| 功率下降比率 (與 N3E – M143 比較) | -               | 7.69%           | 23.08%        |