

CH4

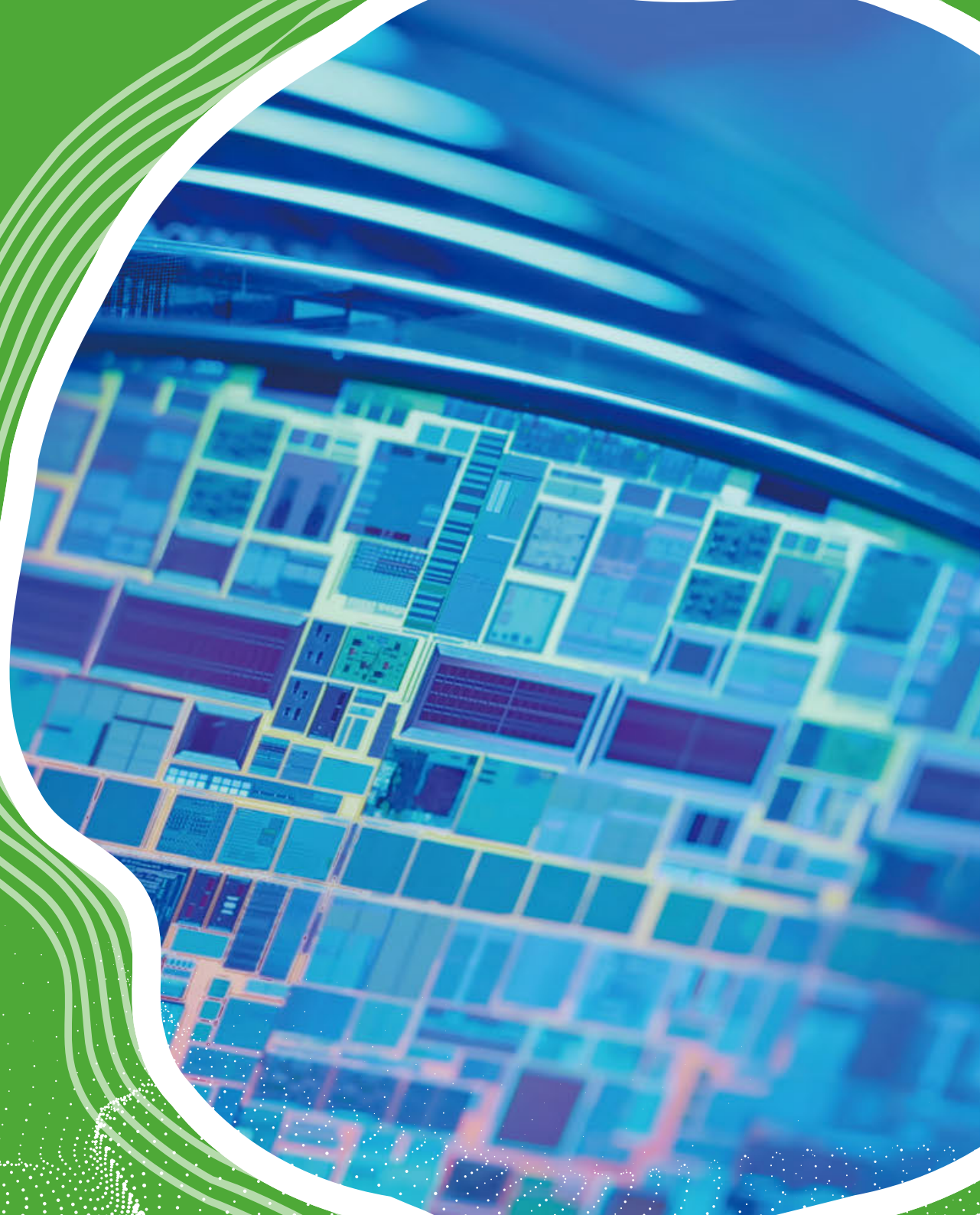
創新與綠色研發

4.1 專業IC設計服務與創新技術

4.2 創新研發與品質管理

4.3 專利及矽智財

4.4 綠色產品設計服務



年度目標與績效

將永續思維融入創新研發，是因應半導體產業快速變革的重要動能。創意電子身為產業上游廠商，依據客戶需求提供先進 IC 客製化服務，透過矽智財 (IP) 設計晶片所需之單元、功能與程式碼，並將綠色設計理念導入高效能、低功耗且可重複使用的產品開發中。在不從事晶片製造與廠房營運的營運模式下，持續以研發投入與品質管理，追求資源效率與環境友善的雙重目標。

聯合國永續發展目標 SDGs



對應之重大主題

研發與創新

產品品質 / 安全

項目	2025 年度目標	2025 年度績效	是否達成
專利申請數量	>10 件	>10 件	☑
公司研發費用投入	>30 億元	33 億元	☑
低功耗高效能產品	持續研發	持續研發	☑
永續產品營收占比	>70%	88%	☑
ISO 品質管理系統驗證	持續通過	ISO 9001 綠色產品 QC 080000 醫療產品 ISO 13485 品質系統驗證	☑
產品法規遵循與有害物質管理	重大法規裁罰件數：0 件 因有害物質之客訴 / 退貨件數：0 件	重大法規裁罰件數：0 件 因有害物質之客訴 / 退貨件數：0 件	☑
客戶服務滿意度	>90%	95%	☑

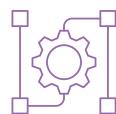
4.1 專業 IC 設計服務與創新技術

創意電子提供專業的 IC 設計公司，其中特別專注於特殊應用積體電路 (ASIC) 產品之設計。為持續以先進客製化服務 (Advanced ASIC Services) 滿足產品從概念到成品的各階段需求，創意電子與台積電合作推動 CoWoS、InFO 和 3D IC 等高效能、低功耗技術，並透過結合 IP 解決方案，極導入人工智慧於電子設計自動化 (EDA) 優化設計流程等方式，並與學界合作推動 AI 技術在設計服務中的應用，強化市場競爭力。本公司透過以下三大服務模式與能力，提供客戶於產品實現最佳化方案：



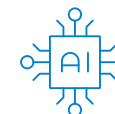
委託設計 (Non-Recurring Engineering, NRE)

提供設計產品時所需的電路設計元件資料庫及各種矽智財，及製作產品光罩組的電路圖，並委託代工廠生產光罩、晶圓、切割與封裝，再由本公司工程人員做產品測試，之後交由客戶試產樣品。



多客戶晶圓驗證計畫 (Multiple-Project Wafer, MPW)

提供低成本且具時效性的晶片驗證服務，將不同客戶之設計整合起來，分攤同一套光罩及同一批晶圓 (Engineer Run) 之製造成本，使設計工程師在大量投片前就能以先進製程技術達到低成本且快速的試產驗證目的。



矽智財 (Intellectual Property, IP)

經過設計、驗證，具備可重複使用且特定功能的積體電路設計。隨著積體電路製造技術的進步，多功能晶片甚至 SoC 已成為 IC 設計的主流，可重覆使用 (Reusable) 的 IP 可減少客戶重複設計與設計資源的投入。

4.1.1 提供先進特殊 IC 設計服務

半導體產業供應鏈依上、中、下游可區分為設計、製造、封裝、測試等 4 大族群。其中對上游晶片設計族群來說，晶片的設計流程 (Design flow) 不只是純粹的硬體規格設計，更需要軟體設計的協助，高自動化整合後，才能在極細微的奈米尺寸上，設計出高效率、低耗能的晶片。創意電子提供上游的 IC 設計服務，面對半導體產業的快速變化與客戶多變的需求，本公司 Advanced ASIC Services 的架構，可協助客戶彈性地選擇在「產品概念、規格制定、開發、驗證、生產到最終成品」等任一階段進入半導體設計的產業鏈。

具體而言，創意電子透過下列 4 大核心能力，提供先進特殊 IC 設計服務：

IP 解決方案	晶片整合服務	特殊應用 IC 製造服務	先進封裝技術
幫助客戶縮減設計時間成本並減少 SoC 開發風險，以滿足客戶的客製化 IC 需求。	本公司與台積電緊密配合，因此在先進製程上的資訊掌握度極高，能透過先進製程技術知識，縮短客戶進入先進製程的時間，協助客戶快速量產、提升良率，強化市場競爭力。	創意電子積極與世界級晶圓廠、封裝與測試業者以及其他支援供應商合作，為客戶提供專業與高品質製造服務，不僅縮短產品上市時間 (Time to-market) 與進入量產時間 (Time-to-volume)，使進入障礙與技術風險降到最低，更確保高品質、高良率及準時交貨，進而讓客戶的寶貴資源能夠精準投入到核心能力上。	創意電子布局先進製程設計平台方案與先進封裝技術，與台積電合作，完成 CoWoS、InFO 以及 3D IC 的設計與驗證，達到高效能、低延遲與低功耗的需求，並持續於開發先進封裝平台所需之 HBM、GLink 及 Ucle 等 IP。

4.1.2 人工智慧 (AI) 技術應用於 IP 設計以及設計服務

近年來人工智慧快速發展，已成為企業研發時不可或缺的技术工具，若妥善利用將能增進效率及減少資源浪費。創意電子 IP 設計團隊已優先導入應用 AI 技術進行蒙特卡羅模擬，可節省所需的運算資源並縮短 50% 模擬時間，將有限的資源投入在更多的設計專案上。此外，創意電子已完成評估應用 AI 技術的 design migration 解決方案，它可以為設計人員優化電路以獲得更好的結果，並縮短 30% 設計週期。已於 2025 年第二季正式導入。

創意電子於 2020 年引進工程變更 (Engineering change orders, ECO) 工具，讓漏電 (Leakage) 最佳化時程節省 15-30% 時間，並於 2023 年引進 AI 自動佈局繞線技術及工具，在功耗效率方面亦可節省 2~8%。2024 年，我們持續和先進電子設計自動化 (Electronic design automation, EDA) 公司合作，引進人工智慧相關 EDA 技術，應用於自動 floorplan 的最佳化，初步結果可節省 3% 面積，也可達到更低功耗的目的，除了利用 AI 技術做設計最佳化之外，亦於 2025 年第四季完成 EDA 廠商結合大型語言模型的 AI 知識庫助理的評估，並購置相對

的 AI GPU 伺服器，預計於 2026 年第二季開始提供員工使用，以加強並協助工程師的訓練及對 EDA 知識的學習。創意電子除了導入 EDA 公司的 AI 相關技術外，每年持續和學界的合作，建立相關 AI 及機器學習在 2D/3D EDA 設計流程上的技術，期望未來將相關技術整合到設計服務流程，強化設計的品質、效率及最佳化，並將其應用到客戶產品上。

4.1.3 符合功能安全性實作技術應用於車用設計服務

創意電子引進符合功能安全性 (Function safety) 實作技術，並建立相關設計實作服務流程，包含 (1) 系統級的邏輯及記憶體自我測試讓車子可自我檢測重要零件、(2) 使用 USF 或 SSF Function safety format aware 的實作流程，(3) 測試設計技術重要信號加入 function safety 考量，這些方式可讓實作具備雙核心或 3 倍暫存器決策及實體驗證達到降低失敗率，這些技術都可使客戶車用產品安全性提升，且已於 2025 年成功用於 2 個客戶專案，我們將持續關注並開發新技術讓未來車用產品更安全便利。

4.2 創新研發與品質管理

2025 年，創意電子持續投入創新研發，全年研發費用達新臺幣 33 億元，以強化技術能力並提升產品品質，支撐長期永續發展。

本公司使用的 CoWoS 和 InFO 小晶片架構已蔚為基礎設施產品的主流，憑藉著與重要夥伴的緊密合作，創意電子的研發團隊在高頻寬記憶體 (High Bandwidth Memory, HBM)、超高速介面晶片互聯 (GUC multi-die interLink, GLink) 和通用晶片互聯 (Universal Chiplet Interconnect Express, UCle) IP 的開發，及 CoWoS 產品的大量製造上，擁有多年的豐富經驗。為支持客戶在 2.5D/3D 高階封裝領域取得競爭優勢，同時協助其穩坐市場的領導地位，創意電子持續堅定地展現了我們提供最具競爭力之 2.5D/3D 全方位解決方案的長期承諾，包括上述提及之 IP、電氣和熱模擬、封裝設計、DFT 與生產測試、CoWoS 與 InFO 製造專業能力等。

4.2.1 2025 年成功開發技術及創新成就



創意電子於 2025 年榮獲 EE Awards Asia 亞洲金選獎五周年成就獎

本公司除了持續開發高階製程 (5/4/3/2 奈米等) 之矽智財包括超高速介面晶片互聯 IP UCle、GLink-2.5D/3D、HBM2/2E/3/3E/4/4E Controller and PHY 等元件與高速 ADC/DAC 外，現有關鍵基礎元件如電源管理解決方案 (Power Management Solution)、時脈產生器 (Clock Generator) 等也持續銜接至更高階製程，來提供客戶更完整的解決方案。創意電子於 2025 年榮獲 EE Awards Asia 亞洲金選獎五周年成就獎：Best EDA & IP/Processor - 5th Anniversary Award。肯定了創意電子在矽智財設計上的技術與品質能力。

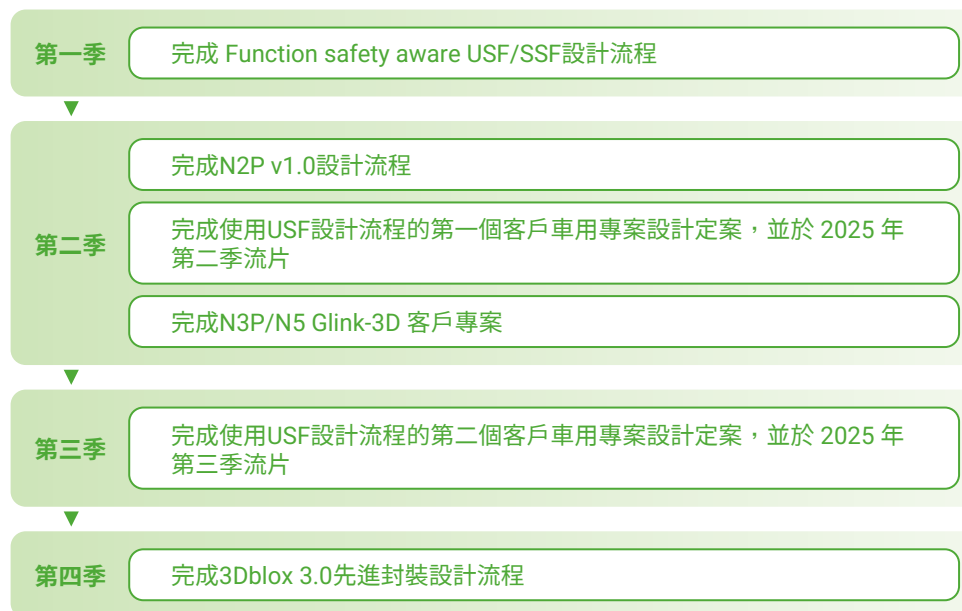
為因應未來的成長，本公司持續投入研發資源優化 5/4/3/2 奈米設計流程，並且繼續發展超高速介面晶片互聯 IP GUCle, GLink, GLink 3D, HBM PHY & Controller, High-speed ADC 等。

2025 年創新成就一覽表

IP 開發

最近年度計畫	目前進度
3 奈米 HBM4E 12G Controller 及 PHY IP 研發	完成測試晶片設計定案
5 奈米 UCle LP 32G IP 研發	
5 奈米 UCle LP 32G Face-Up IP 研發	
3 奈米 UCle 64G IP	
3 奈米及 5 奈米客製化 GLink-3D IP 研發	
16 奈米 IVR 技術開發	

設計流程



4.2.2 產品品質與競爭力

在競爭激烈的市場環境下，鼓勵員工秉持創新與持續改善精神，提供客戶高品質的設計服務、矽智財與具競爭力之產品，並透過傾聽客戶需求，建立可信且互利的長期夥伴關係。透過 PDCA 循環式品質管理機制，確保品質管理系統有效運作，持續精進營運績效，朝成為全球領先的 IP 與 ASIC 供應商邁進。

在 ASIC IC 設計服務方面，品質暨可靠性組織持續精進品質管理制度，每年維持 ISO 9001 管理系統驗證，系統性檢視並改善品質管理流程，以確保客戶滿意度並強化整體品質表現。

在綠色產品管理方面，自產品設計階段即導入綠色設計理念，透過持續的技術創新，回應客戶對有害物質管理的嚴格要求，並逐步削減及規範禁用物質。依循國際電工委員會 (IEC) 標準，持續維持 IECQ QC 080000 有害物質流程管理系統認證，並於 2025 年完成第三方機構 DQS 換證作業，最新證書有效期至 2028 年 8 月。

此外，我們獲得國際知名客戶 Sony Green Partner，並於 2025 年也獲頒關鍵客戶 SK hynix "綠色產品證書"，及通過 Samsung 認可 "Eco-Partner" 證書，顯示客戶對創意在綠色產品管理給予高度的肯定。

此外，綠色 IC 產品符合歐盟 RoHS 指令及 REACH 法規要求，確保不使用禁用物質。因應客戶需求，於 2025 年完成多項符合性調查，包含 IPC 1752、chemSHERPA 材料宣告及美國 TSCA 法規，並提供相關結果予客戶參考。同時，針對關鍵供應商執行季度業務檢視 (QBR)，納入有害物質符合性評鑑項目，並定期檢視執行成效，以確保生產流程符合法規與客戶要求。

管理系統取得驗證一覽



- 通過 ISO 9001 管理系統驗證
- 通過 IECQ QC 080000 管理系統驗證
- 獲得國際知名客戶 SONY 綠色產品認證，成為 SONY 供應商夥伴
- 通過 ISO 13485 醫療器材品質系統驗證
- 獲頒國際關鍵客戶 SK hynix 綠色產品證書
- 通過 Samsung "Eco-Partner" 證書

強化品質文化

為深化品質文化並將品質思維內化於日常營運，鼓勵同仁主動提出改善方案，持續精進品質管理作法，以回應客戶需求並提升整體競爭力。透過每年辦理最佳解決方案 (Best Known Method, BKM) 評選，強化問題解決能力，並將優良實務系統化與標準化，持續累積品質管理與技術創新能量。

歷年 BKM 提案成果已成功轉化為關鍵技術專利，共計通過 2 件、申請 3 件，展現品質改善活動對研發創新與技術累積的實質成效。以下為具代表性之品質與效率提升案例：

BKM 案例一

HBM4 Power-Aware Signal Integrity Design with Crosstalk Cancellation on CoWoS-R 8RDL to Achieve 12Gbps

因應 AI 與高效能運算 (HPC) 快速成長的需求，技術團隊以 CoWoS-R 先進封裝平台為基礎，開發支援 12Gbps 傳輸速度之 HBM4 (High Bandwidth Memory Gen4) 設計，並於訊號完整性 (Signal Integrity, SI) 及電源完整性 (Power Integrity, PI) 方面取得三項關鍵突破，形成具高度可複製性的 BKM：

- 訊號線串擾抑制設計：**透過先進封裝佈線優化，在最壞情境下有效抑制串擾逾 25%，顯著提升高速運作下的訊號品質與能源效率。
- 電容解耦合路徑優化：**優化先進封裝中整合被動元件 (IPD) 配置與電源平面連接方式，使解耦電容路徑電感降低 39.34%，並結合 DCIR 分析，建立標準化設計規範，提升電源網路穩定性。
- 先進封裝層數精簡：**藉由電磁場分析優化回流路徑 (Return Path) 與 bump re-pitch 架構，在維持良好眼圖品質的前提下，成功減少約 10% 封裝層數，降低材料使用量。

上述技術進一步整合為位於 IP Block 正下方的先進封裝層級 Hard Macro，將複雜的 SI/PI 設計流程標準化，有效縮短開發時程，降低設計風險與試產失敗率，並將品質改善成果轉化為可長期運用的研發資產。

BKM 案例二

Failure Reduction Methods for ACScan Production Vmin

隨著高電晶體數量及高功耗專案增加，低電壓測試 (Vmin) 項目於量產階段的良率損失，成為需重點管理的品質風險。為因應此挑戰，提出一套最佳方法論，透過三項關鍵策略有效降低低電壓測試項之良率損失：

- 低 IR DFT 設計：**包含彈性 SCAN 模式分拆、MBIST 串行設計、維持足夠 VDD/VSS bump 數量、預留備用 IR 電路，以及最佳化時脈閘控與時脈偏移設計。
- 測試流程與測試向量調整：**結合設計與測試條件，降低測試過程中不必要的電壓降風險。
- 晶圓速度條件最佳化：**透過最壞情境 CPM 進行 IR 與 ATE 硬體電性模擬，並同步調整測試板硬體設計規格。

該方法論已顯著降低量產低電壓測試項之良率損失至極低水準，確保穩定量產與出貨品質。

BKM 案例三

AI 專案效率提升方法

為提升大型 AI 晶片設計專案的整體效率，提出多項設計流程與工具優化作法，以有效解決設計瓶頸並提升品質與資源使用效率，包括：

- 優化合成策略與收斂方法：**大幅降低時序收斂的迭代次數，提升設計效率。
- 改良時鐘樹結構：**採用魚骨式時鐘樹設計並優化保持時間處理，減少延遲單元插入數量，提升時鐘效率並降低資源消耗。
- 設計流程數位化：**導入半自動化工具，協助前端工程師進行資料檢查與參數填寫，縮短資料準備時間並降低人為錯誤風險。
- 資料流導向之 DFT 分區設計：**縮短大型晶片設計中 DFT 作業時間，並同步降低晶片能耗與環境影響。

提升產品品質

創意電子採用 Tango 系統來監控即時生產 WAT/ 測試數據，我們持續優化產品品質控制機制，不斷提升產品良率，確保品質安全無虞。



4.2.3 客戶服務與滿意度

除了內部維持管理系統驗證方式，確保創意電子提供高品質的 IC 設計服務。另外也落實客戶關係管理，透過定期與不定期的會議與拜訪，及每季、每月績效檢討或稽核等方式，以期建立無縫的合作關係，在雙方短、中、長期發展目標與社會責任的規畫上，取得一致且共同合作的綜效。為了就近服務客戶，於台灣總部、中國、日本、韓國、美國、歐洲等 6 個區域設有客服專責辦公室，並設置專責服務窗口，負責雙方對於環境管理、社會責任、有害物質管制，及衝突礦產等規畫執行上的支援，並符合 ISO 9001 及接受第三方驗證，不僅即時提供必要且充分的資訊，以滿足下游、終端客戶或公部門之要求，並且配合客戶企業社會責任計畫實施必要的活動、調查、確認、稽核，及相關資料收集。

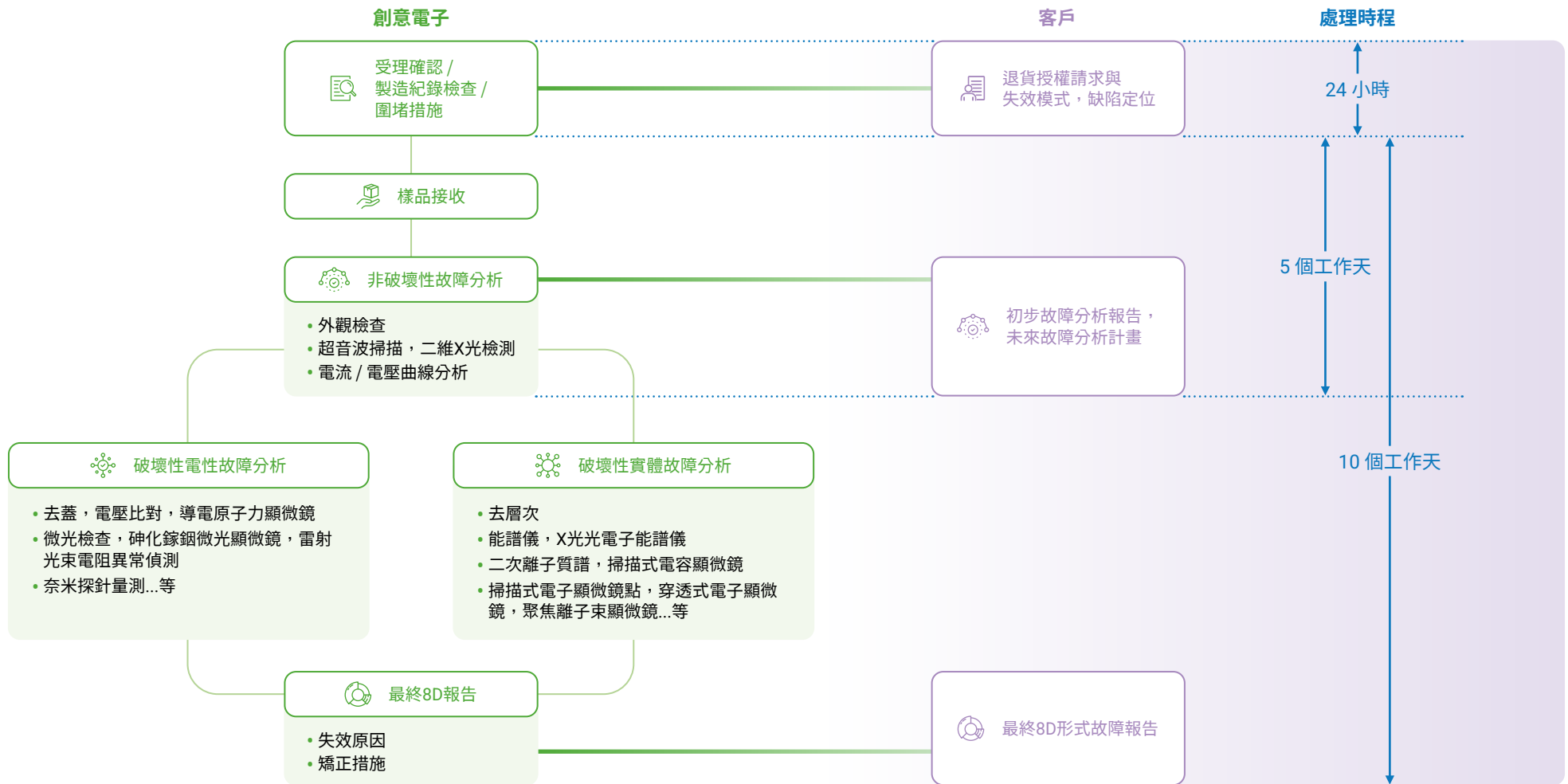
為了確認客戶對創意電子服務品質的滿意程度，在每年第一季或專案完成時，執行客戶滿意度調查，客戶可透過評分、意見回饋抑或與本公司競爭者的比較等方式，提供對創意電子服務品質與成效的滿意度；專責團隊除了對客戶具體回覆、追蹤相關權責部門的改善進度外，並透過精確的數據分析，找出背後問題，彙整報告予高階經營者，作為中、長期營運計畫的方針參考。

近 5 年客戶滿意度調查均獲得 80% 以上問卷回覆率，對創意電子滿意度超過「滿意」等級及以上者，均超過 90% 以上。顯示創意電子在技術演進與商業越趨競爭下仍可持續提升客戶服務效能以獲致客戶滿意。在 2025 年之客戶滿意度調查中，大部分客戶留下了如：專業及可靠的設計能力和服務、快速回應能力、穩定之供應鏈體系、質量穩定的產能保證等客戶高度評價，給予最大的肯定。

■ 客戶滿意度調查統計



針對客訴，我們制定「客戶抱怨管理程序」，要求相關部門在收到客訴後 24 小時內回覆客戶，並在 5 個工作天內提供初步分析報告，2025 年客訴的初步分析報告回覆準時率達 90%，並未發生任何因品質安全疑慮而導致產品被客户召回的情形。

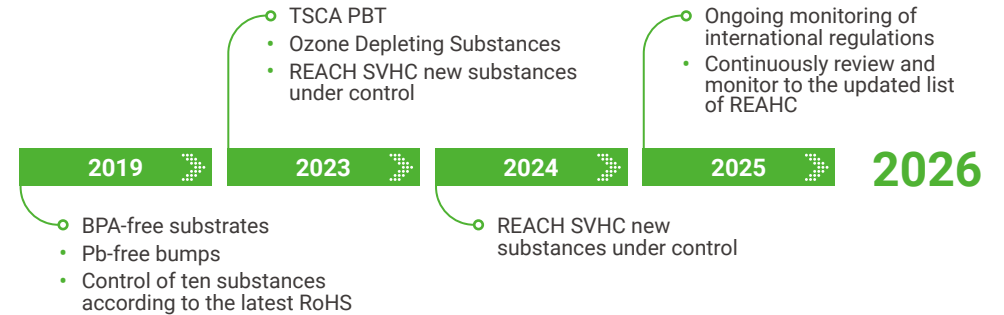


4.2.4 綠色產品管理模式及作為

創意電子在綠色物質管理方面實施 PDCA 管理流程，以應對法規風險。藉由調查供應商，提出改善對策，並與供應鏈攜手合作減少有害物質的使用。這些努力旨在提前因應國際法規趨勢，提高創意電子產品的競爭力。為確保綠色 IC 生產流程符合法規要求，我們對關鍵供應商進行季度業務檢視 (QBR) 程序，並定期於每季評估執行結果。2025 年，創意電子 GUC 產品 100% 符合客戶及法令法規要求，無發生違規事件，設計產品材料清單也均依客戶綠色產品之特殊要求。

我們的目標是確保我們出貨的產品 100% 符合客戶和監管要求，以及客戶對綠色產品的特定要求。

產品有害物質管控計畫



ACT 行動

- 原物料物質檢測
- 要求供應商提供如：ISO 17025 等具國內、外認可實驗室檢測抽樣檢測報告的驗證
- 要求供應商須提供第三方的檢測報告，以確保符合綠色產品，100% 符合創意電子規範。

PLAN 規劃

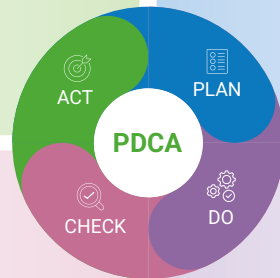
- 法規鑑別及客戶需求
- 禁用物質規範
- 有害物質替代進行規畫
- 歐盟新增化學品註冊、評估、許可和限制法案共 9 項新增物質，2025 年新增歐盟候選清單至 251 項物質，持續關注 REACH 管制物質更新清單，取得供應商符合性宣告書 100% 符合新要求。
- 識別全氟 / 多氟烷基化合物 (PFAS compounds) 供應鏈使用狀況，並持續監控法規動向。

CHECK 查核

- 管理審查：由品質暨可靠度部門主管主持管理審查會議，檢討有害物質 KPI 達成狀況
- 客戶滿意度：每年進行客戶對綠色產品管理之滿意度調查，檢討客戶回饋
- 客戶對綠色產品管理給予肯定的高度評價

DO 執行

- 封裝設計階段，對材料進行評估及審核
- 執行有害物質替代計畫
- 在 Bill of Materials (BOM) 材料選用階段，2025 新增 11 件新產品 BOM，採用綠色 IC 的規範。因應全球範圍內對全氟 / 多氟烷基化合物 (PFAS compounds) 監管力度加強，且該提案正處於 ECHA 的最終提案評估階段。全氟烷基物質和多氟烷基物質 (PFAS) 因其高持久性 (或其降解產物)，對日常生活產品及環境中嚴重影響健康及具危害性。創意電子致力於從產品設計階段主動削減有害物質，並持續觀察相關法規與環境風險，提前進行評估，一旦歐盟宣布禁用，會立即遵循。創意電子持續對全氟和多氟烷基物質 (PFAS) 的使用情況進行評估，及要求供應商對氟 (Fluorine) 元素監控。本公司也會持續與供應商一起更新審查並評估所有可能影響環境的潛在有害物質，及保護人體安全與健康，以使用更安全的替代材料。



4.2.5 產品生命週期之有害物質管理及作為

措施	綠色 IC 設計及要求	綠色材料選定	綠色 IC 製造	綠色包裝使用
說明	<p>創意電子因應客戶對綠色材料的要求，依循綠色採購程序，選取符合國際法規包括：RoHS、歐盟化學政策 (REACH) 的材料，2025 年新增歐盟候選清單至 251 項物質，持續關注 REACH 管制物質更新清單。以及臭氧破壞物質 (Ozone Depleting Substances, ODS)，及美國 TSCA 持久性、生物蓄積性和毒性物質 (PBT) 物質。為確保產品的環保性，所有產品都使用無鹵材料，也積極尋求替代材料，避免原物料含有害物質。</p>	<p>在物料表 (Bill of Materials, BOM) 材料選用階段，創意電子積極進行風險評估，2025 共新增 11 件新產品 BOM，採用綠色 IC 的規範。同時對產品材料設定限制，排除有害物質，以防範所有生產過程對環境可能產生的衝擊，如全球暖化和臭氧層破壞等。</p>	<p>創意電子強化有害物質管理機制，要求供應商對有害物質進行原材料監控，也同步要求供應商須提供第三方的檢測報告，以確保符合綠色產品的精神及國際法規，2025 年客戶委託調查都能提供給客戶符合性調查之結果。</p>	<p>產品包裝材料依據包裝指令 (94/62/EC) 限制，以下是創意電子符合國際法規及推動循環經濟的具體作為：</p> <ul style="list-style-type: none"> 綠色 IC 生產對產品包材限制有害物質之要求：2023 年新增法國 France Decree 2020-105 法案，對油墨包材管制礦物油物質。礦物油飽和碳氫化合物 (MOSH) 和芳香烴類礦物油 (MOAH) 被證實具有致癌性和生物累積性。為了遵守國際法規的趨勢並維護客戶健康，供應商 100% 符合要求。 導入可循環使用導電箱：考量包裝材料丟棄所產生的環境影響，創意電子採用可循環使用的導電箱，取代一次性使用的紙箱，以落實廢棄物減量，及回收導電箱回廠區進行再利用，務求將環境衝擊降至最低。另產品從封裝廠運送至測試廠的包裝程序也因此簡化，提升包裝、拆包流程效率，包括節省大箱之內盒包裝程序，亦可減少作業時間浪費，2025 年導入可循環使用導電箱達成率達 93.1%。



作為全球電子供應鏈的重要參與者，創意電子致力於友善環境之生態設計 (Eco-Design) 的電子產品。針對雙酚 A (BPA) 在電子零件中的廣泛應用，我們承諾系統性地減少並最終淘汰產品中的 BPA，從 2019 年開始，所有新產品全面導入 100% 無雙酚 A (BPA-free) 基板關鍵零組件，以降低對環境的長期影響，落實企業永續經營。

在電子產品製程中常見的有害物質鉛 (Pb) 具生殖毒性，同時也是致癌物，會危害人體健康。追蹤歐盟 RoHS 指令 (Restriction of Hazardous Substances) 管制動態，針對被動元件含鉛排外條款，全面排查產品中的被動元件，盤查結果產品中含有被動元件均為無鉛 (Pb-free)，並無使用 EU RoHS exemption 7 (c)-I，產品均符合 RoHS 規範，完成無鉛化轉型。

4.3 專利及矽智財

創意電子致力於研發各種具競爭力之矽智財 (IP)，包括：高頻寬記憶體 IP、晶片互聯 IP、混合訊號前端 IP、SoC IP 等。為了確保創新研發之成果獲得保護，創意電子針對 ASIC 設計與量產服務階段所產生具競爭力的技術方案提出專利申請，同時對自有矽智財 (IP) 更是積極地採取專利布局。透過專利權的保護，本公司得以確保研發成果所帶來最大的收益與競爭優勢，同時提供客戶 ASIC 產品更完善的保障。創意電子至今獲得各國專利數量達 610 件，近年來更積極布局諸如 CoWoS、HBM、UCle、G-Link 等相關之專利，以保持本公司的領先地位和競爭優勢。

有鑑於專利權的重要性，本公司自 2016 年起，每年提供同仁修習智財權相關實體課程，強化對於專利權的認知，促進專利提案的動能。

■ 各國獲證專利數

國別	專利數
 台灣	235
 美國	225
 中國	132
 日本	18

智慧財產權管理

創意電子於 2016 年制定《[智慧財產權管理辦法](#)》，2000 年起推動智慧財產權相關管理計畫，並制定《專利提案申請程序》作為專利申請、專利維護、專利運用、專利獎金 / 獎勵等相關事務之依循。為求審慎評估本公司之專利提案，本公司更設立有「專利委員會」之內部專利審查機制。委員會成員包括本公司相關單位之高階主管及外部特聘之 IC 設計領域的重量級教授。借助委員會之內部審議與意見，得以讓發明提案之技術內容更為完整，有效把關專利品質，提高專利獲准機率。近 3 年來，本公司各國專利申請案共 71 件，有 49 件完成審查，其中 49 件獲准，0 件放棄，其餘尚未完成審查，足見本公司於各國專利獲准率高達 100%。另外，針對不適合公開且具技術價值之專利提案，專利委員會得決議改以營業祕密方式保護，防止本公司機密技術外流。

此外，為了有效提升管理效能，創意電子於 2015 年引進「專利管理資訊系統」作為專利提案、申請、維護、獎金發放、技術分類及產品應用等資訊管理平台。藉由該資訊系統之幫助，可提升機密專利資訊之保護層級，同時提高人員之工作效率，降低專利申請事務中人為錯誤之發生率。

另外，創意電子亦定期進行專利盤點作業，以檢視專利之應用情形及與相關產品之關聯程度，作為專利價值之評估。同時，為了強化研發人員對於專利權之認知及尊重，避免研發成果誤踩紅線，本公司強制要求新進研發人員需修習專利基本課程。除專利基本課程之外，本公司亦定期邀請專利業界講師提供研發人員智慧財產權相關之實務課程，包括：專利檢索、侵權鑑定、迴避設計等進階課程，截至 2025 年，上課人數已有 245 位。

為持續維持業界技術之領導地位，創意電子採取結合營運發展重點目標與保護智慧財產權之策略，針對特定開發之矽智財 (IP) 與先進封裝技術 (APT)，例如：CoWoS、HBM、UCle 與 G-Link，由專利工程師會同相關研發人員一起檢視研發、設計過程及成果，以評估專利申請之可行性後，針對具有專利布局價值之個案積極進行專利申請，並持續追蹤相關提案進度。創意電子針對特定開發之矽智財 (IP) 已陸續進行專利布局，除了強化本公司在特定領域之競爭優勢，並同時落實「矽智財 (IP) 專案 / IC 產品專利化」，以達成「專利保護矽智財 (IP) 專案 / IC 產品」之目標。同時，本公司亦透過定期的專利技術盤點，作為專利智財與矽智財 (IP) 之關聯性管理以及專利智財之價值評估依據。

為使經營高層充分掌握本公司智慧財產管理計畫之執行情形，法務主管每年至少一次向董事會報告相關事項。2025 年 10 月 30 日，法務主管已完成年度報告。

4.4 綠色產品設計服務

永續產品營收

作為全球 IC 設計服務領導者，創意電子致力於提供高效能、低功耗的 ASIC 設計服務，協助客戶在人工智慧、高效運算、網通及智慧應用等領域降低能源消耗與碳排放。我們將具備 Power Efficiency 提升 (高效能、低功耗) 的自研 IP 與設計技術，以及在客戶端可帶來綠色減碳效益的產品，納入永續產品範疇，持續推動半導體產業的能源轉型與環境責任。

近三年來，創意電子永續產品營收持續成長，2025 年永續產品營收達 300 億元，占總營收 88%。透過持續開發低功耗設計與綠色 IP，創意電子不僅提升產品價值，也助力全球客戶實現節能減碳目標。創意電子擁有豐富的 IP 庫與先進設計平台，以創新技術推動永續價值，並嚴格遵循 RoHS、REACH 與無衝突礦產等國際規範。

未來，我們將持續以創新研發與綠色設計能力，支持客戶打造更永續的系統與應用，攜手推動半導體產業的低碳轉型。

	2023 年	2024 年	2025 年
永續產品營收 (新臺幣 / 元)	17,649,704,830	18,208,688,940	30,086,790,348
永續產品營收占比	67%	73%	88%
永續產品營收占比年度目標	70%		

低功耗晶片設計與能源效率管理

矽智財 (IP)	<p>高頻寬記憶體 IP (HBM4 IP)</p> <p>創意電子最新一代 3 奈米 12G 高頻寬記憶體 (HBM4)，已於 2025 年第一季完成設計定案。目前正在針對電源設計進行優化，將藉由低功耗設計，改善能源功耗達 50%，預計將於 2026 第二季完成 IP 改版。</p>
	<p>通用晶片互聯 IP (UCIe)</p> <p>2022 年初，創意電子發布目的在於統一標準封裝和高級封裝的晶粒到晶粒接口，促進多晶粒集成的生態系統協作之 UCIe 1.0，並持續活用 GLink-2.5D 的經驗和專業知識進行研發次世代 GUCIe。對比現有 3 奈米 UCIe PHY 設計，5 奈米 UCIe 以低功耗規格進行設計，目標達成節省能源功耗 15% 的成果。測試晶片於 2025 年第四季封裝完成開始測試，預計將於 2026 第二季完成獲得實際量測數據。UCIe 32G IP 以卓越的開發技術與規格，榮獲 2024 年 EE Awards Asia 亞洲金選獎年度最佳 IP 的肯定，為創意電子的技術實力展現。</p>

<p>矽智財 (IP)</p>	<p>晶片堆疊介面 IP (GLink-3D)</p> <p>3D 封裝屬於先進封裝技術，用以提升電晶體密度的解決方案。創意電子領先業界，與台積電攜手開發 GLink-3D 1.0 產品，實現 5 奈米與 6 奈米晶片 3D SoIC 堆疊，已於 2024 年完成驗證報告。</p> <p>下一代產品 GLink-3D 2.0 進一步提升規格，實現了 5 奈米與 3 奈米晶片的堆疊，並採用更小的凸塊間距 (bond pitch)，提升訊號頻寬密度約三倍，並將功耗大幅降低 80%。</p> <p>未來的 GLink-3D 3.0 將於 2026 年中完成設計，實現 3 奈米與 2 奈米晶片堆疊，持續致力於提升訊號頻寬密度並降低功耗。</p>
<p>單晶片 (SoC)</p>	<p>系統單晶片 / 矽智財自動整合流程 (SoC/IP Constructor, unicoRn)</p> <p>2021 年起，創意電子已成功完成包括 16 奈米自駕車晶片 (Automotive)、12 奈米 5G 網路晶片 (Networking)、2022 年完成 7 奈米虛擬實境晶片 (Metaverse) 等多項晶片設計。2023 年完成 5 奈米資料中心等級人工智慧晶片 (Datacenter AI) 與 16 奈米自駕車晶片 (Automotive) 測試量產版本。2024 年，SOC 部門完成 5 奈米邊緣運算等級人工智慧晶片 (Edge AI)，與 16 奈米虛擬實境晶片 (Metaverse) 進階版。2025 年完成 5 奈米資料中心等級人工智慧晶片量產與 16 奈米虛擬實境晶片進階版晶片測試。</p> <ul style="list-style-type: none"> 多年來，創意電子憑藉： <ol style="list-style-type: none"> 研發能量提升和領先業界的設計整合驗證流程，有效縮短 30~50% 前置作業時程。 設計整合初期進行關鍵的除錯項目，節省 30~50% 用於後期大量的功能模擬和驗證除錯回歸的資源。 依製程演進完成晶片規格之最佳化，提升 20~30% 效能、降低 15~20% 功耗及縮減 20~30% 晶片面積。 具體系統單晶片 / 矽智財自動整合流程如下： <div style="display: flex; justify-content: space-around; align-items: flex-start;"> <div style="text-align: center;"> <p>STEP 1</p> <p>關鍵子系統 (處理器、高速介面、記憶體) 整合平台 (Subsystem)</p> </div> <div style="text-align: center;"> <p>STEP 2</p> <p>硬體加速器為基礎的先進驗證流程 (Emulation)</p> </div> <div style="text-align: center;"> <p>STEP 3</p> <p>低功耗設計驗證及最佳化 (Power profiling)</p> </div> <div style="text-align: center;"> <p>STEP 4</p> <p>軟體和硬體協同驗證流程 (Virtual/Hybrid platform)</p> </div> </div>
<p>設計服務 (Design Service)</p>	<p>2024 年完成第一個 N2 測試晶片流片並於 2025 年第二季完成測試驗證及 N2P 1.0 版設計流程，協助客戶可快速導入更先進高效率的製程，在 EDA 軟體及設計流程改善及相同的設計驗證下，整體設計流程可達到耗能及效能最佳化，N2P v1.0 相較於 N3E，可更進一步節省功耗，達到 25% 的節能。我們將持續開發 N2P 及未來 A16 奈米設計流程，協助本公司 IP 使用更低功耗製程，增強競爭力，並應用於客戶專案，持續協助客戶往綠色產品的途徑前進。</p>